

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-353794

(P2002-353794A)

(43)公開日 平成14年12月6日(2002.12.6)

(51)IntCl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 3 K 17/08		H 0 3 K 17/08	C 2 G 0 3 5
G 0 1 R 19/165		G 0 1 R 19/165	L 5 G 0 0 4
H 0 2 H 3/08		H 0 2 H 3/08	T 5 G 0 5 3
3/087		3/087	5 J 0 5 5
7/00		7/00	B
審査請求 未請求 請求項の数10 O L (全 14 頁) 最終頁に続く			

(21)出願番号 特願2001-157750(P2001-157750)

(22)出願日 平成13年5月25日(2001.5.25)

(71)出願人 000006895

矢崎総業株式会社

東京都港区三田1丁目4番28号

(72)発明者 大島 俊蔵

静岡県湖西市鷺津2464-48 矢崎部品株式
会社内

(74)代理人 100083806

弁理士 三好 秀和 (外8名)

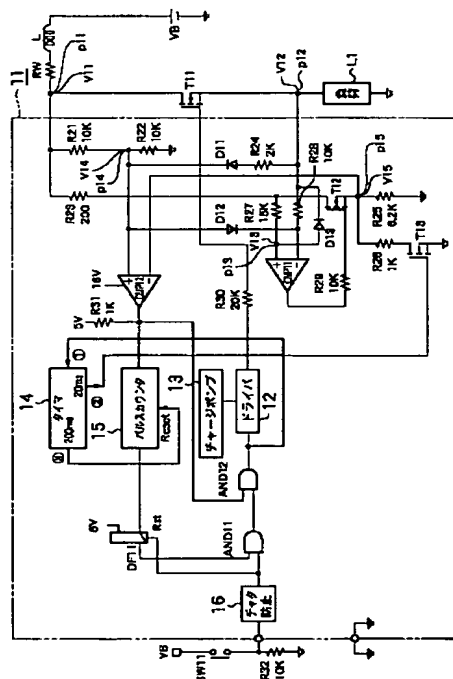
最終頁に続く

(54)【発明の名称】 半導体素子の過電流検出・保護装置

(57)【要約】

【課題】 小型化、低コスト化を図ることのできる過電流検出装置を提供することが課題である。

【解決手段】 パワートランジスタT11に電流が流れることにより発生する電圧降下量を増幅して第1の電圧V15を生成し、パワートランジスタT11の電源側の接続端子の電圧を分圧して、第2の電圧V14を生成する。そして、第1の電圧が第2の電圧を上回ったことが検出された際に、過電流が発生したことを検知する。この際、第2の電圧V14は、配線インダクタンス、及びパワートランジスタT11のオン抵抗R_{on}に起因し、過電流発生時には電圧値が低くなるように変化するので、デッドショート発生時には、即時に回路を遮断し、パワートランジスタT11、及び該パワートランジスタT11と電源とを接続する配線を保護することができる。



【特許請求の範囲】

【請求項1】 第1の主電極と第2の主電極を有する半導体素子(T11)を、電源と負荷との間に設置し、前記第1の主電極を前記電源側に接続し、前記第2の主電極を負荷側に接続し、更に、前記負荷の前記半導体素子とは反対側となる端子を接地電位側に接続した回路の、前記半導体素子に流れる過電流を防止する過電流検出・保護装置において、

前記半導体素子(T11)の第1の主電極と第2の主電極間に電流が流れることにより発生する電圧降下量を増幅して第1の電圧(V15)を生成し、

前記半導体素子(T11)の第2の主電極と接地電位レベル間の電圧を分圧して第2の電圧(V14)を生成し、

前記第1の電圧と第2の電圧を比較し、前記第1の電圧(V15)が、前記第2の電圧(V14)を越えたときに、前記半導体素子(T11)に流れる電流が過電流であると判定し、該半導体素子(T11)を遮断することを特徴とする半導体素子の過電流検出・保護装置。

【請求項2】 第1の主電極と第2の主電極を有する半導体素子(T11)を、電源と負荷との間に設置し、前記第1の主電極を前記電源側に接続し、前記第2の主電極を負荷側に接続し、更に、前記負荷の前記半導体素子とは反対側となる端子を接地電位側に接続した回路の、前記半導体素子に流れる過電流を防止する過電流検出・保護装置において、

前記半導体素子の第1の主電極と第2の主電極間に電流が流れることにより発生する電圧降下量を増幅して第1の電圧(V15)を生成し、

前記第1の半導体素子(T11)を流れる電流がその電流経路上に存在する配線抵抗、及び配線インダクタンスにより発生させる電圧降下を第3の電圧とし、

電源電圧から第3の電圧を差し引いた電圧を分圧して生成した電圧を第2の電圧とするとき、第1の電圧が第2の電圧を上回ると過電流と判定し、前記半導体素子(T11)を遮断することを特徴とする半導体素子の過電流検出・保護装置。

【請求項3】 第1の抵抗(R23)と、第2の抵抗(R25)と、第1のスイッチング手段(T12)と、第1の比較器(CMP11)と、を有する電圧増幅手段を具備し、

該電圧増幅手段は、前記第1の抵抗(R23)の一端を前記第1の半導体素子(T11)の第1の主電極に接続し、他端を第1のスイッチング手段(T12)の第1の主電極に接続し、前記第1のスイッチング手段(T12)の第2の主電極に第2の抵抗(R25)の一端を接続し、第2の抵抗(R25)の他端を接地電位レベルに接続し、

前記第1の比較器(CMP11)のプラス入力端子に、第1のスイッチング手段(T12)の第1の主電極側を

接続し、マイナス入力端子に前記半導体素子(T11)の第2の主電極側を接続し、

前記第1の比較器(CMP11)の出力は第1のスイッチング手段(T12)の制御端子に接続した構成とし、前記第1の抵抗(R23)に発生する電圧降下が、前記半導体素子(T11)の第1の主電極と第2の主電極間に発生する電圧降下と等しくなるように、前記第1のスイッチング手段(T12)に流れる電流を制御し、前記第2の抵抗(R25)に発生する電圧降下分を、前記第1の電圧(V15)とすることを特徴とする請求項1または請求項2のいずれかに記載の半導体素子の過電流検出・保護装置。

【請求項4】 前記電圧増幅手段は、更に、第3の抵抗(R26)と、第2のスイッチング手段(T13)との直列接続回路を具備し、該直列接続回路を前記第2の抵抗(R25)に対して並列に配置し、前記第2のスイッチング手段(T13)がオン状態のときの、前記半導体素子(T11)に発生する電圧降下量に対する第1の電圧(V15)の増幅率を、第1の増幅率、オフ状態のときの増幅率を、前記第1の増幅率よりも大きい第2の増幅率とすることを特徴とする請求項3に記載の半導体素子の過電流検出・保護装置。

【請求項5】 前記第1の電圧(V15)及び前記第2の電圧(V14)を比較する第2の比較器(CMP12)を具備し、

当該第2の比較器(CMP12)のプラス入力端子に前記第2の電圧(V14)を入力し、マイナス入力端子に前記第1の電圧(V15)を入力し、

前記第2の比較器(CMP12)の出力がLレベルになると前記半導体素子(T11)を遮断するようにし、

前記半導体素子(T11)が遮断されて、該半導体素子(T11)の第2の主電極の電圧が低下したときに、前記第2の比較器(CMP12)のプラス入力端子の電圧を一定電圧以上に保持し、

前記半導体素子(T11)の第2の主電極の電圧が、該半導体素子のオフにより接地電位レベル近傍まで低下することを利用して前記第2の比較器(CMP12)のマイナス入力端子電圧がプラス入力端子電圧より低下するように設定し、

前記半導体素子(T11)の第2の主電極の電圧が所定値以下に低下したとき、前記第2の比較器(CMP12)の出力を強制的にHレベルにすることを特徴とする請求項1～請求項4のいずれか1項に記載の半導体素子の過電流検出・保護装置。

【請求項6】 前記第2の比較器(CMP12)のプラス入力端子電圧を一定値以上に保持するために、前記半導体素子の第2の主電極に第4の抵抗(R24)の一端を接続し、該第4の抵抗(R24)の他端に第1のダイオード(D11)のアノードを接続し、第1のダイオード(D11)のカソードに第5の抵抗(R22)の一端

を接続し、第5の抵抗(R22)の他端を接地電位レベルに接続し、第6の抵抗(R21)の一端を半導体素子(T11)の第1の主電極に接続し、他端を第1のダイオード(D11)のカソードに接続し、第1のダイオード(D11)のカソードと第5の抵抗(R22)の結合点を第2の比較器(CMP12)のプラス入力端子に接続したことを特徴とする請求項5に記載の半導体素子の過電流検出・保護装置。

【請求項7】 前記半導体素子(T11)の第2の主電極が所定値以下に低下したとき、第2の比較器(CMP12)の出力を強制的にHレベルにするために、前記第1の比較器(CMP11)のプラス入力端子と前記第1のスイッチング手段の第1の主電極側との間に第7の抵抗(R27)を挿入し、前記第1の比較器(CMP11)のプラス入力端子と前記半導体素子(T11)の第2の主電極側との間に第2のダイオード(D13)を第1の比較器(CMP11)のプラス入力端子側がアノードとなるようにして接続し、前記第1の比較器(CMP11)のマイナス入力端子と前記半導体素子(T11)の第2の主電極側との間に第8の抵抗(R28)を挿入し、前記第1の比較器(CMP11)のマイナス入力端子と前記第2の比較器(CMP12)のプラス入力端子との間に第3のダイオード(D12)を第2の比較器(CMP12)のプラス入力端子側がアノードとなるように接続したことを特徴とする請求項5または請求項6のいずれかに記載の半導体素子の過電流検出・保護装置。

【請求項8】 前記半導体素子(T11)を起動したとき、起動後の所定時間($\tau 1$)だけ、前記第2のスイッチング手段(T13)をオンとして前記第1の増幅率で前記第1の電圧(V15)を発生させ、前記負荷に正常な過渡電流が流れた場合においても、前記第1の電圧(V15)が前記第2の電圧(V14)を超えないようにすることを特徴とする請求項1～請求項7のいずれか1項に記載の半導体素子の過電流検出・保護装置。

【請求項9】 前記第1の電圧が第1の増幅率に設定されているときに、前記半導体素子(T11)に過電流が流れて前記第1の電圧が前記第2の電圧を超えた場合には、即時に前記半導体素子(T11)を遮断し、そのまま遮断状態を保持することを特徴とする請求項8に記載の半導体素子の過電流検出・保護装置。

【請求項10】 前記第1の電圧(V15)が第1の増幅率に設定されているときに、所定の時間($\tau 1$)経過すると、前記第2のスイッチング手段(T13)がオフして第2の増幅率に変化し、この状態で第1の電圧(V15)が第2の電圧(V14)を上回ると再度、前記第2のスイッチング手段(T13)をオンさせて所定の時間($\tau 1$)、第1の増幅率の状態に戻し、

この増幅率変更の操作を所定の回数(N1回)繰り返した後に、なお第1の電圧(V15)が第2の電圧(V14)を上回っている場合には、前記半導体素子(T11)を遮断状態に保持することを特徴とする請求項8に記載の半導体素子の過電流検出・保護装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、負荷に電源電圧を供給する際に、該負荷と電源との間に介置される半導体スイッチ及び配線に流れる過電流の発生を検出する過電流検出装置に関する。

【0002】

【従来の技術】例えば、車両に搭載される各種ランプ、モータ等の負荷は、バッテリーより供給される直流電圧が印加されて動作する。このような各負荷は、回路の故障や動作不良等に起因して過電流が流れる場合がある。過電流が流れた場合には、半導体スイッチが過熱され、且つ、負荷と電源とを連結するハーネスが加熱され、焼損するというトラブルが発生する。

【0003】そこで、過電流が発生した際に、いち早くこれを検知し、回路を遮断する過電流検出回路が種々提案されている。過電流検出回路の従来例として、例えば、負荷と電源との間を連結する電線にシャント抵抗を介置し、該シャント抵抗の両端に発生する電圧を検出し、検出された電圧値が所定値を超えたときに回路を遮断する方法が知られている。

【0004】即ち、負荷に過電流が流れた場合には、シャント抵抗の両端に発生する電圧値が上昇するので、該電圧値を検出し、所定レベルを超えた際に、例えば負荷と電源とを接続するリレーの自己保持回路を遮断することにより、負荷に流れる過電流を防止することができ

る。

【0005】

【発明が解決しようとする課題】しかしながら、このような従来における過電流検出回路では、シャント抵抗の両端に発生する電圧値を検出する回路が必要であり、回路規模が大きくなる。従って、広い設置スペースが必要となり、且つ、コストアップにつながるという欠点がある。また、シャント抵抗に電流が流れると、シャント抵抗の発熱によるエネルギー損出が発生するという問題があった。

【0006】この発明は、このような従来からの課題を解決するためになされたものであり、その目的とするところは、回路規模が小さく、且つ、低コストで構成することが可能な過電流検出装置を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、本願請求項1に記載の発明は、第1の主電極と第2の主電極を有する半導体素子(T11)を、電源と負荷との間に設置し、前記第1の主電極を前記電源側に接続

し、前記第2の主電極を負荷側に接続し、更に、前記負荷の前記半導体素子とは反対側となる端子を接地電位側に接続した回路の、前記半導体素子に流れる過電流を防止する過電流検出・保護装置において、前記半導体素子(T11)の第1の主電極と第2の主電極間に電流が流れることにより発生する電圧降下量を増幅して第1の電圧(V15)を生成し、前記半導体素子(T11)の第2の主電極と接地電位レベル間の電圧を分圧して第2の電圧(V14)を生成し、前記第1の電圧と第2の電圧を比較し、前記第1の電圧(V15)が、前記第2の電圧(V14)を越えたときに、前記半導体素子(T11)に流れる電流が過電流であると判定し、該半導体素子(T11)を遮断することが特徴である。

【0008】請求項2に記載の発明は、第1の主電極と第2の主電極を有する半導体素子(T11)を、電源と負荷との間に設置し、前記第1の主電極を前記電源側に接続し、前記第2の主電極を負荷側に接続し、更に、前記負荷の前記半導体素子とは反対側となる端子を接地電位側に接続した回路の、前記半導体素子に流れる過電流を防止する過電流検出・保護装置において、前記半導体素子の第1の主電極と第2の主電極間に電流が流れることにより発生する電圧降下量を増幅して第1の電圧(V15)を生成し、前記第1の半導体素子(T11)を流れる電流がその電流経路上に存在する配線抵抗、及び配線インダクタンスにより発生させる電圧降下を第3の電圧とし、電源電圧から第3の電圧を差し引いた電圧を分圧して生成した電圧を第2の電圧とすると、第1の電圧が第2の電圧を上回ると過電流と判定し、前記半導体素子(T11)を遮断することを特徴とする。

【0009】請求項3に記載の発明は、第1の抵抗(R23)と、第2の抵抗(R25)と、第1のスイッチング手段(T12)と、第1の比較器(CMP11)と、を有する電圧増幅手段を具備し、該電圧増幅手段は、前記第1の抵抗(R23)の一端を前記第1の半導体素子(T11)の第1の主電極に接続し、他端を第1のスイッチング手段(T12)の第1の主電極に接続し、前記第1のスイッチング手段(T12)の第2の主電極に第2の抵抗(R25)の一端を接続し、第2の抵抗(R25)の他端を接地電位レベルに接続し、前記第1の比較器(CMP11)のプラス入力端子に、第1のスイッチング手段(T12)の第1の主電極側を接続し、マイナス入力端子に前記半導体素子(T11)の第2の主電極側を接続し、前記第1の比較器(CMP11)の出力は第1のスイッチング手段(T12)の制御端子に接続した構成とし、前記第1の抵抗(R23)に発生する電圧降下が、前記半導体素子(T11)の第1の主電極と第2の主電極間に発生する電圧降下と等しくなるように、前記第1のスイッチング手段(T12)に流れる電流を制御し、前記第2の抵抗(R25)に発生する電圧降下分を、前記第1の電圧(V15)とすることを特徴とす

る。

【0010】請求項4に記載の発明は、前記電圧増幅手段は、更に、第3の抵抗(R26)と、第2のスイッチング手段(T13)との直列接続回路を具備し、該直列接続回路を前記第2の抵抗(R25)に対して並列に配置し、前記第2のスイッチング手段(T13)がオン状態のときの、前記半導体素子(T11)に発生する電圧降下量に対する第1の電圧(V15)の増幅率を、第1の増幅率、オフ状態のときの増幅率を、前記第1の増幅率よりも大きい第2の増幅率とすることを特徴とする。

【0011】請求項5に記載の発明は、前記第1の電圧(V15)及び前記第2の電圧(V14)を比較する第2の比較器(CMP12)を具備し、当該第2の比較器(CMP12)のプラス入力端子に前記第2の電圧(V14)を入力し、マイナス入力端子に前記第1の電圧(V15)を入力し、前記第2の比較器(CMP12)の出力がLレベルになると前記半導体素子(T11)を遮断するようにし、前記半導体素子(T11)が遮断されて、該半導体素子(T11)の第2の主電極の電圧が低下したときに、前記第2の比較器(CMP12)のプラス入力端子の電圧を一定電圧以上に保持し、前記半導体素子(T11)の第2の主電極の電圧が、該半導体素子のオフにより接地電位レベル近傍まで低下することを利用して前記第2の比較器(CMP12)のマイナス入力端子電圧がプラス入力端子電圧より低下するように設定し、前記半導体素子(T11)の第2の主電極の電圧が所定値以下に低下したとき、前記第2の比較器(CMP12)の出力を強制的にHレベルにすることを特徴とする。

【0012】請求項6に記載の発明は、前記第2の比較器(CMP12)のプラス入力端子電圧を一定値以上に保持するために、前記半導体素子の第2の主電極に第4の抵抗(R24)の一端を接続し、該第4の抵抗(R24)の他端に第1のダイオード(D11)のアノードを接続し、第1のダイオード(D11)のカソードに第5の抵抗(R22)の一端を接続し、第5の抵抗(R22)の他端を接地電位レベルに接続し、第6の抵抗(R21)の一端を半導体素子(T11)の第1の主電極に接続し、他端を第1のダイオード(D11)のカソードに接続し、第1のダイオード(D11)のカソードと第5の抵抗(R22)の結合点を第2の比較器(CMP12)のプラス入力端子に接続したことを特徴とする。

【0013】請求項7に記載の発明は、前記半導体素子(T11)の第2の主電極が所定値以下に低下したとき、第2の比較器(CMP12)の出力を強制的にHレベルにするために、前記第1の比較器(CMP11)のプラス入力端子と前記第1のスイッチング手段の第1の主電極側との間に第7の抵抗(R27)を挿入し、前記第1の比較器(CMP11)のプラス入力端子と前記半導体素子(T11)の第2の主電極側との間に第2のダ

イオード(D13)を第1の比較器(CMP11)のプラス入力端子側がアノードとなるようにして接続し、前記第1の比較器(CMP11)のマイナス入力端子と前記半導体素子(T11)の第2の主電極側との間に第8の抵抗(R28)を挿入し、前記第1の比較器(CMP11)のマイナス入力端子と前記第2の比較器(CMP12)のプラス入力端子との間に第3のダイオード(D12)を第2の比較器(CMP12)のプラス入力端子側がアノードとなるように接続したことを特徴とする。

【0014】請求項8に記載の発明は、前記半導体素子(T11)を起動したとき、起動後の所定時間(τ 1)だけ、前記第2のスイッチング手段(T13)をオンとして前記第1の増幅率で前記第1の電圧(V15)を発生させ、前記負荷に正常な過渡電流が流れた場合においても、前記第1の電圧(V15)が前記第2の電圧(V14)を超えないようにすることを特徴とする。

【0015】請求項9に記載の発明は、前記第1の電圧が第1の増幅率に設定されているときに、前記半導体素子(T11)に過電流が流れて前記第1の電圧が前記第2の電圧を超えた場合には、即時に前記半導体素子(T11)を遮断し、そのまま遮断状態を保持することを特徴とする。

【0016】請求項10に記載の発明は、前記第1の電圧(V15)が第1の増幅率に設定されているときに、所定の時間(τ 1)経過すると、前記第2のスイッチング手段(T13)がオフして第2の増幅率に変化し、この状態で第1の電圧(V15)が第2の電圧(V14)を上回ると再度、前記第2のスイッチング手段(T13)をオンさせて所定の時間(τ 1)、第1の増幅率の状態に戻し、この増幅率変更の操作を所定の回数(N1回)繰り返した後に、なお第1の電圧(V15)が第2の電圧(V14)を上回っている場合には、前記半導体素子(T11)を遮断状態に保持することを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の実施形態を、図面を参照しながら説明する。図1は、本発明の第1の実施形態に係る半導体素子の過電流検出・保護装置の構成を示す回路図、図2、図3は、第1の実施形態の動作原理を示す説明図である。まず、本実施形態の動作原理を、図2、図3を参照して説明する。

【0018】図2は、負荷に過電流が流れた際に、スイッチング用の半導体素子を遮断する原理を示す回路図である。図示のように、電源VBと負荷L1との間には、スイッチング用のパワートランジスタ(半導体素子)T11が介置されており、該パワートランジスタT11をオン、オフ動作させることにより、負荷L1への電源電圧の供給、停止を切り換えることができる。なお、パワートランジスタT11は、MOS-FET、IGBT等、各種の半導体素子を用いることができる。

【0019】また、電源VBのプラス側出力端と、パワートランジスタT11との間には、配線抵抗Rw、及び配線インダクタンスLが存在しており、配線抵抗RwとパワートランジスタT11との接続点p11(半導体素子の第1の主電極)は、抵抗R23(第1の抵抗)、トランジスタT12(第1のスイッチング手段;N型MOS-FET)、及び抵抗R25(第2の抵抗)を介して接地されている。即ち、設置電位レベルに接続されている。ここで、トランジスタT12の、抵抗R23側の接続点が第1の主電極、抵抗R25側の接続点が第2の主電極である。また、抵抗R23、トランジスタT12、抵抗R25、及び後述する抵抗R26(図3参照)で電圧増幅手段が構成される。

【0020】トランジスタT12と抵抗R25との接続点p15は、コンパレータCMP12(第2の比較器)のマイナス側(反転側)入力端子に接続されている。更に、抵抗R23とトランジスタT12との接続点は、コンパレータCMP11(第1の比較器)のプラス側(非反転側)入力端子(点p13)に接続され、該コンパレータCMP11の出力端は、抵抗R29を介してトランジスタT12のゲート(制御端子)に接続されている。

【0021】パワートランジスタT11と負荷L1との接続点p12は、コンパレータCMP11のマイナス側入力端子に接続され、更に、該接続点p12は、抵抗R24(第4の抵抗)、R22(第5の抵抗)を介して接地されている。また、抵抗R22とR24との接続点p14は、コンパレータCMP12のプラス側入力端子に接続されている。該コンパレータCMP12の出力端は、抵抗R31を介して電圧5ボルトの電源に接続されている。また、パワートランジスタT11のゲートは、抵抗R30を介してドライバ12に接続されている。

【0022】次に、図2に示す回路の動作について説明する。まず、同図に示す各符号を下記のように設定する。

【0023】VB: 電源電圧

I: 回路電流(過電流状態を含む)

Rw: 配線抵抗であり、回路電流が流れる回路抵抗(電源内部抵抗も含む)

からパワートランジスタT11の電源側端子と接地電位レベル間の抵抗(R_{on} +負荷抵抗+配線抵抗)を差し引いたもの。

【0024】L: 配線抵抗Rwに付随するインダクタンス(配線インダクタンス)

R_{on} : パワートランジスタT11のオン抵抗

V11: 点p11の電圧値

V12: 点p12の電圧値

V13: 点p13の電圧値

V14: 点p14の電圧値(第2の電圧)

V15: 点p15の電圧値(第1の電圧)

(a1) 回路電流の電圧変換と増幅

パワートランジスタT11がオンとなり、パワートランジスタT11に回路電流Iが流れると、 $V_{11}-V_{12}$ ($=R_{on} \times I$)の電圧降下(第1の主電極と第2の主電極との間に電流が流れることにより発生する電圧降下)が発生する。また、点p12の電圧V12がコンパレータCMP11のマイナス側入力端子に供給され、且つ、プラス入力端子には点p13の電圧V13が供給されるので、電圧V13が電圧V12よりも大きい場合には、コンパレータCMP11の出力はHレベルとなる。

【0025】これにより、トランジスタT12のゲート電圧が上昇し、抵抗R23、トランジスタT12、抵抗R15で構成された直列回路を流れる電流が増加する。

よって、抵抗R23の電圧降下が増大し、電圧V13が*

$$V_{15} = (V_{11} - V_{13}) \times n = (V_{11} - V_{12}) \times n = R_{on} \times I \times n \quad \dots (1)$$

即ち、回路電流Iは、パワートランジスタT11のオン抵抗 R_{on} により電圧 $R_{on} \times I$ に変換され、更にこの電圧がn倍に増幅されて、抵抗R25の両端に発生する。この電圧V15を第1の電圧とする。いま、抵抗R23を200Ω、抵抗R25を6.2KΩとすると、増幅率nは、 $n=31$ となる。

【0029】(aII) 過電流の判定

パワートランジスタT11に過電流が流れたかどうかの判定は、コンパレータCMP12により行われる。図2に示すように、コンパレータCMP12のマイナス側入力端子には回路電流Iに比例した大きさの電圧V15が入力され、プラス側端子には、電圧V12を抵抗R22※

$$V_{12} = V_B - (R_w + R_{on}) \times I - L \times dI/dt$$

$$V_{14} = m \times V_{12} = m \times \{V_B - (R_w + R_{on}) \times I - L \times dI/dt\} \quad \dots (2)$$

(2)式から理解されるように、過電流発生の判定基準となる電圧V14は一定値ではなく、回路電流Iが大きくなるほど小さくなり、回路電流の増加速度が速くなるほど小さくなる。以下これを、過電流判定基準電圧の圧縮効果と称する。

【0032】そして、電圧V15(第1の電圧)が電圧V14(第2の電圧)を上回るとコンパレータCMP12の出力はLレベルに反転し、ドライバ12の出力は接地レベルになり、パワートランジスタT11はオフとなる。

【0033】図2に示す回路で、パワートランジスタT11がオフとなると、電圧V12が接地電位レベル(GND)となり(半導体素子の第2の主電極の電圧が所定値以下となり)、コンパレータCMP12のプラス側端子(点p14)の電圧が略ゼロとなる。よって、コンパレータCMP12の出力はLレベルとなる。この状態ではドライバ12が動作しないので(ドライバ12が動作しないことについては後述する)、このままではパワートランジスタT11を起動させることができない。従って、これを再起動させる必要があり、以下、この点につ

*減少するので、電圧V13は電圧V12に等しくなる。

【0026】また、電圧V13がV12より小さい場合には、コンパレータCMP11の出力はLレベルになり、トランジスタT12のゲート電圧が低下して、抵抗R23を流れる電流が減少し、電圧V13は増加して電圧V12に等しくなる。即ち、常に、 $V_{13} = V_{12}$ となるように動作することがわかる。

【0027】ここで、抵抗R23、およびR25を流れる電流は同一であるから、 $n = R_{25}/R_{23}$ とすると、点p15に発生する電圧V15は、以下の(1)式で示すことができる。

【0028】

※とR24で分圧した電圧V14(第2の電圧)が入力される。そして、第2の電圧V14が基準電圧であり、電流値Iに伴って変化する第1の電圧V15が、第2の電圧V14を上回ったかどうかにより、過電流であるかどうかを判定する。ここで、 $m = R_{22}/(R_{24} + R_{22})$ とすると、 $V_{14} = m \times V_{12}$ となる。

【0030】電圧V12は、電源電圧 V_B 、配線抵抗 R_w 、配線インダクタンスL、パワートランジスタT11のオン抵抗 R_{on} 、および回路電流Iを用いて、以下の(2)式で示すことができる。

【0031】

いて説明する。

【0034】(aIII) パワートランジスタT11を起動するための回路

図3は、図2に示した回路に、更に、オフ状態にあるパワートランジスタT11を起動させるための素子を付加した回路図であり、トランジスタT13、ダイオードD11~D13、抵抗R21、R26~R28が加えられている。

【0035】即ち、抵抗R25に対して並列となるように、抵抗R26(第3の抵抗)とトランジスタT13(第2のスイッチング手段)とが設けられ、点p13と点p12との間にダイオードD13(第2のダイオード)が設けられている。更に、点p14と抵抗R24との間にダイオードD11(第1のダイオード)が設けられ、点p14とコンパレータCMP11のマイナス側端子との間にダイオードD12(第3のダイオード)が設けられている。

【0036】また、抵抗R22と点p11との間に、抵抗R21(第6の抵抗)が設けられ、コンパレータCMP11の2つの入力端子には、抵抗R27(第7の抵

11

抗)、R28(第8の抵抗)が設けられている。

【0037】そして、図3に示す回路の動作について説明すると、パワートランジスタT11がオフのときには、ダイオードD13によりコンパレータCMP11のプラス側端子の電圧V13は、負荷L1を経由して接地電位レベルにクランプされる。

【0038】ここで、抵抗R27に対して負荷抵抗は小さいから(後述するように、抵抗R27の抵抗値は15*

(CMP11のマイナス側端子電圧)

$$= R22(R28 * VB + R21 * Vd) \\ \div (R21 * R22 + R21 * R28 + R22 * R28) - Vd \\ \dots (3)$$

ここで、Vdは各ダイオードの順方向電圧を表す。また、(3)式において、R21=R22=R28=10KΩ、R24=2KΩ、Vd=0.7V、VB=12.5Vとすると、(3)式の値は3.7ボルトとなる。

【0040】従って、パワートランジスタT11がオフ状態で、負荷側端子電圧V12が接地電位レベルにあるときは、コンパレータCMP11のマイナス側端子の電圧はプラス側端子の電圧より高くなり、コンパレータCMP11の出力はLレベルとなる。このため、コンパレータCMP12のマイナス側端子の電圧V15は、接地電位レベル近くまで低下する。

【0041】一方、コンパレータCMP12のプラス側端子の電圧V14は上述の(3)式で示される電圧よりも、ダイオードD12の順方向電圧降下分だけ高い電圧となり、この回路例では約4.4ボルトとなる。このため、コンパレータCMP12の出力はHレベルとなり、起動可能な状態になる(後述するようにコンパレータCMP12の出力がHレベルのときに、パワートランジスタT11は起動可能となる)。

【0042】これは、パワートランジスタT11がオン状態からオフ状態に移移して、電圧V12が低下し、コンパレータCMP11のプラス側端子(点p13)の電圧V13(=V12+0.7V)が上記の(3)式で示される電圧以下になると、パワートランジスタT11の駆動信号が出力されているとき(後述する図1の、スイッチSW11がオンのとき)は必ずパワートランジスタT11はオン状態に復帰することを意味する。

【0043】(aIV)増幅率の変更

※40

$$V14 = (V11 * R22 * R24 \\ + V12 * R21 * R22 - Vd * R21 * R22) \\ \div (R21 * R22 + R21 * R24 + R22 * R24) \dots (4)$$

V11=12.5V、V2=12Vとすると、(4)式の値は9.9Vとなる。

【0049】(4)式におけるV11、V12は、次の★

$$V11 = VB - R_w * I - L * di/dt \dots (5)$$

$$V12 = VB - (R_w + R_{on}) * I - L * di/dt \dots (6)$$

(4)式より、電圧V14は電圧V11、及び電圧V12の増加に伴って増加することが理解できる。そして、

12

*KΩに設定される)、電圧V13はダイオードD13の順方向電圧降下分(約0.7ボルト)まで引き下げられる。一方、コンパレータCMP11のマイナス側端子の電圧は、ダイオードD11、D12、および抵抗R21、R28が存在することにより、電圧V12が接地電圧レベルになっても、以下の(3)式で示す電圧以下にはならない。

【0039】

※また、本発明では、上述した(1)式で用いた増幅率nを2段階に変更することができるように構成している。増幅率nを変更する目的は、回路電流Iの過電流を2段階に設定するためである。詳しくは後述する。以下、この動作について説明する。

【0044】図3に示す回路では、増幅率nを変化させるために、抵抗R26とトランジスタT13との直列接続回路を、抵抗R25に対して並列に配置している。この構成でトランジスタT13をオンさせると、点p15とグランドとの間の抵抗値は、該トランジスタT13がオフのときの抵抗値R25から合成抵抗値R25*R26/(R25+R26)に変化して、抵抗値が小さくなる。

【0045】そのため、増幅率nはR25/R23から、R25*R26/(R25+R26)/R23に変化し、結果として増幅率nは小さくなる。

【0046】ここで、トランジスタT13がオンのときの増幅率を第1の増幅率(小さい値)、オフのときの増幅率を第2の増幅率(大きい値)とする。また、抵抗R26の値を調整することにより、第1の増幅率を任意の値に設定することができる。

【0047】(aV)過電流判定基準電圧について次に、過電流判定基準電圧について説明する。図3に示す回路において、パワートランジスタT11がオンしているときの過電流判定基準電圧V14は、次の(4)式で示すことができる。

【0048】

★(5)、(6)式ように示される。

【0050】

本実施形態では、電圧V12の係数R21*R22が電圧V11の係数R22*R24より大きくなるように設

定する。図3に示す回路例では、 $R_{21} = 10\text{K}\Omega$ 、 $R_{24} = 2\text{K}\Omega$ であるから、電圧 V_{12} の係数は電圧 V_{11} の係数の5倍である。このため、過電流判定電圧 V_{14} は電圧 V_{11} より電圧 V_{12} の影響を強く受けることが分かる。

【0051】トランジスタ T_{13} がオフの状態、即ち、第2の増幅率で第1の電圧(V_{15})を生成しているときは、電圧 V_{15} が(4)式に示した値を超えたときに、過電流と判定される。上記回路例では第1の電圧が9.9Vを超えた場合に過電流と判定される。第1の電

【0052】

$$\begin{aligned} I_{11} &= V_{14} * R_{23} / R_{25} / R_{on} \\ &= 9.9\text{V} * 200\Omega / 6.2\text{K}\Omega / 40\text{m}\Omega \\ &= 8\text{A} \end{aligned} \quad \dots (7)$$

即ち、上記回路例で、第1の電圧 V_{15} が第2の増幅率に設定されているときには、8Aを超える回路電流が流れたときに過電流と判定される。

【0053】ここで、 $R_w = 50\text{m}\Omega$ と仮定すると、

$$\begin{aligned} I_{12} &= V_{14} * R_{23} * (R_{25} + R_{26}) \\ &\quad / (R_{25} * R_{26}) / R_{on} \\ &= 9.9\text{V} * 200\Omega * (6.2\text{K}\Omega + 1\text{K}\Omega) \\ &\quad / (6.2\text{K}\Omega * 1\text{K}\Omega) / 40\text{m}\Omega \\ &= 57.5\text{A} \end{aligned} \quad \dots (8)$$

ここで、第1の増幅率で第1の電圧(V_{15})が生成されているときに、過電流と判定される場合は、回路電流が急激に立ち上がる。上記回路例においては、 $L = 2.5\mu\text{H}$ 、 $dI/dt = 1.25\text{A}/\mu\text{s}$ としており、 $L * dI/dt = 3.1\text{V}$ となる。電圧 V_{11} 、 V_{12} 共

に、この逆起電力により押し下げられるので、 $m = 9$ 。*

$$m * L * dI/dt = 0.83 * 3.1\text{V} = 2.57\text{V} \quad \dots (9)$$

ここで、2.57Vは回路電流15Aに相当する電圧値である。

【0058】配線抵抗 R_w に回路電流が流れることにより電圧 V_{11} 、 V_{12} の双方を低下する。また、パワートランジスタ T_{11} のオン抵抗 R_{on} に回路電流が流れることにより、電圧 V_{12} のみが低下する。

$$\begin{aligned} &9.9\text{V} - 2.57\text{V} - m * I_{11} * (R_w + R_{on}) \\ &= I_{11} * R_{on} * (R_{25} * R_{26}) / (R_{25} + R_{26}) / R_{23} \end{aligned}$$

上述の回路定数を用いて(10)式より I_{11} を計算すると、 $I_{11} = 29.7\text{A}$ となる。即ち、過電流判定基準電圧(第2の電圧 V_{14})に圧縮効果がなかった場合に比べて、過電流判定値が $57.5\text{A} - 29.7\text{A} = 27.8\text{A}$ 引き下げられ、約48%判定基準電圧を圧縮している。この引き下げ分に対応する電圧が、第3の電圧である。

【0061】これにより、デッドショートのように大過電流が流れる可能性のある配線異常が発生した場合で

* $(R_w + R_{on}) * I = (50\text{m}\Omega + 40\text{m}\Omega) * 8\text{A} = 0.7\text{V}$ となる。また、過電流と判定されているとき回路電流は変化しないので、 $L * dI/dt = 0$ である。即ち、第1の電圧(V_{15})が第2の増幅率(トランジスタ T_{13} がオフの状態)で生成されているときの過電流判定においては、判定基準電圧に圧縮効果(配線インダクタンス L による基準電圧 V_{14} の低下)はほとんど発生しない。このときの過電流判定精度はパワートランジスタ T_{11} のオン抵抗 R_{on} の精度で決定される。

【0054】(aVI) 過電流判定基準電圧の圧縮効果 第1の増幅率(即ち、トランジスタ T_{13} がオンとされているときの増幅率)で第1の電圧(V_{15})が生成されているときに、過電流と判定された場合には、判定基準電圧に圧縮効果が発生する。

【0055】上記回路例において、仮に判定基準電圧が圧縮されず、 $V_{14} = 9.9\text{V}$ のままであったとすると、このとき過電流と判定される回路電流 I_{12} は、以下の(8)式で示される。

【0056】

* $9\text{V} / 12\text{V} = 0.83$ とすると回路インダクタンス L による判定基準電圧の圧縮量(回路電流の増加速度に応じた第2の電圧 V_{14} の減少分)は、以下の(9)式で示される。

【0057】

★【0059】また、上述したように、判定基準電圧 V_{14} (第2の電圧)は、電圧 V_{12} の影響が V_{11} よりも約5倍大きくなるように設定されているので、過電流と判定される回路電流 I_{11} は、おおよそ次の(10)式で示される。

★【0060】

$$\dots (10)$$

も、早めにパワートランジスタ T_{11} (半導体素子)を遮断することができ、大きな過電流が流れて配線、及びパワートランジスタ T_{11} が破壊されることを防止できることが理解される。

【0062】次に、上記した内容に基づき、本実施形態に係る過電流検出装置の基本的な考え方を(bI)～(bVI)に示す。

【0063】(bI) パワートランジスタ T_{11} (半導体素子)の両端に発生する電圧(電圧降下分)を増幅し

た第1の電圧(V15)と、パワートランジスタT11の負荷側端子と接地レベル(GND)間の電圧(V12)を一定割合で分圧した第2の電圧(V14)とを比較し、第1の電圧V15が第2の電圧V14を上回った場合には、過電流と判定してパワートランジスタT11を遮断する。

【0064】(bII)パワートランジスタT11の起動直後は負荷L1に正常な過渡電流(突入電流)が流れることがあるので、起動後一定期間(τ 1)だけ、第1の電圧V15の増幅率を低い値に設定して、正常な過渡電流を過電流と判定しないようする。このときの増幅率が第1の増幅率である。

【0065】(bIII)起動後、時間 τ 1が経過すると、第1の電圧V15の増幅率が第2の増幅率に変更される。第2の増幅率は、第1の増幅率より大きい。

【0066】また、正常な過渡電流が継続する時間は負荷によって異なるので、時間 τ 1を数回だけ延長する操作を加える。時間 τ 1が経過して第2の増幅率になったとき、未だ過渡電流状態が残っていて過電流と判定されると、パワートランジスタT11を一旦オフし、即時にオンとする。その後時間 τ 1だけ、第1の電圧V15を第1の増幅率に戻す(1回目の延長)。第1の増幅率に戻す操作を所定の回数(N1回)行い、その後(N1回目の延長後)第2の増幅率としたとき、なお過電流と判定された場合には、その時点でパワートランジスタT11を遮断し、遮断状態を保持する。即ち、過渡電流が τ 1*N1時間内に治まれば、過電流と判定しない。これにより、電源起動時に発生する突入電流により、回路が遮断することを防止することができる。

【0067】(bIV)負荷に正常な電流が流れているときに、パワートランジスタT11と負荷L1との間で配線異常が発生し、過電流が流れたとする。このときの回路電流が、第2の増幅率で判定すると過電流となり、第1の増幅率で判定すると正常電流となる場合(即ち、レアショートの場合)には、(τ 1*N1)時間後にパワートランジスタT11が遮断され、遮断状態が保持される。この場合には、過電流判定時に回路電流がほとんど変化しないので、配線インダクタンスLによる逆起電力は発生せず、また、回路電流の値も比較的小さいので、第2の電圧(V14)は電源電圧VBに依存し、過電流に対してはほぼ固定した値となる(つまり、過電流判定基準電圧の圧縮効果は発生しない)。

【0068】従って、第1の電圧V15の大小関係により過電流が判定される。第1の電圧V15は、パワートランジスタT11のオン抵抗Ronの増加に伴って増加するので、過電流の判定精度はオン抵抗Ronの変動による影響を受ける。一般に、パワートランジスタ等の半導体素子のオン抵抗は素子毎にばらつき、また温度により変化するので、オン抵抗Ronを用いる方法では正常電流の3~4倍以上の回路電流でないと確実に過電流と判定す

るのは難しい。

【0069】(bV)回路電流が第1の増幅率に設定されているときに、過電流と判定された場合はパワートランジスタT11を連続的に(τ 1時間待つことなく)オフ、オン動作させる。そして、所定の回数(N1回)過電流と判定された場合には、パワートランジスタT11を遮断し、遮断状態に保持する。このケースでは1回の過電流判定で即時にパワートランジスタT11を遮断状態に保持する方法も採用可能である(第2の実施形態で説明する)。第1の増幅率で過電流となった場合は正常状態からの隔たりが大きいので、1回の判定で過電流と判定しても誤判定の可能性は少ない。

【0070】(bVI)過電流が流れる回路には配線等によるインダクタンスLがあるため、電流値が急増すると判定基準となる第2の電圧(V14)は、配線インダクタンスLに発生する逆起電力により圧縮される。配線短絡抵抗が小さくなればなるほど過電流の立ち上がりは速くなり、第2の電圧V14の圧縮度合いは増すことになる。また、大きな回路電流が流れると配線抵抗Rw及びパワートランジスタT11のオン抵抗Ronによっても第2の電圧V14は圧縮される。これらの圧縮効果により回路電流の大きい領域では過電流と判定する電流値が収斂してくる。

【0071】即ち、短絡抵抗が比較的大きい場合(レアショートの場合)にて確実に過電流判定を行うと同時に、デッドショートのように短絡抵抗が小さい場合でも大きな過電流が流れることを防止することが可能となる。これは過電流保護としては理想的な特性である。圧縮効果によりパワートランジスタT11(半導体素子)のオン抵抗Ronの変動があっても確実に過電流の検出および保護が可能となる。

【0072】以上の述べたように、正常電流の3~4倍の過電流(レアショート時の過電流)から、デッドショートに至るまで、過電流の確実な検出と配線および半導体素子の保護が可能となる。

【0073】以下、具体的な装置例について説明する。図1は、本発明の第1の実施形態に係る過電流検出装置11、及びその周辺機器の構成を示す回路図である。過電流検出装置11は、図2、図3に示した動作原理により動作するものである。まず、構成を説明する。

【0074】該過電流検出装置11は、パワートランジスタT11をオン、オフ操作することにより、負荷L1へ電源電圧VBの供給、停止を切り換える構成を有する回路の、回路電流が過電流となったときに、即時のこれを検出し、更には、過電流の大きさに応じて回路を遮断することにより、パワートランジスタT11及び該パワートランジスタT11と電源VBとを接続する電線を保護する。

【0075】図1に示す過電流検出装置11は、負荷L1への電源投入用のスイッチSW11がオンとされたと

きに発生する電圧のチャタリングを防止するチャタリング防止回路16と、該チャタリング防止回路16の出力側に接続されるアンド回路AND11、AND12と、ラッチDF11と、チャージポンプ13と、タイマ14と、パルスカウンタ15と、を具備している。また、スイッチSW11とグランドとの間には、抵抗R32が設置されている。

【0076】タイマ14は、20ms(τ1)タイマ部と、200msタイマ部とを有している。パルスカウンタ15は、カウント値を所定回数(N1回)に設定することができ、カウント値が該所定回数に達したときに、ラッチDF11をオフとする信号を出力する。本実施形態では、カウント値を4回に設定している。また、その他の構成要素は、図3に示した回路と同様であるので、その構成説明を省略する。

【0077】次に、第1の実施形態に係る過電流検出装置11の作用について説明する。まず、電源投入時の動作について説明する。図1に示すスイッチSW11がオフとされているときには、ラッチDF11の出力はHレベルとなっており、また、上述したようにコンパレータCMP12の出力はHレベルとなっている。

【0078】この状態で、スイッチSW11をオンとすると、2つのアンド回路AND1、AND2の出力がHレベルとなり、ドライバ12よりHレベルの信号が出力される。これにより、パワートランジスタT11がオンとなる。

【0079】また、アンド回路AND12の出力がHレベルとなるので、タイマ14の20msタイマ部が作動し、20ms(時間τ1)間だけトランジスタT13に駆動信号が出力される。

【0080】パワートランジスタT11がオンとなると、該パワートランジスタT11を介して電源電圧VBが負荷L1に供給される。この際、負荷L1には、電源投入時の突入電流が流れる。また、トランジスタT13は駆動信号によりオン状態となっているので、点p15における第2の電圧V15は、第1の増幅率(小さい値)に設定される。よって、たとえ突入電流が流れた場合でも、増幅率が小さいことにより、該第2の電圧V15は、低い値に抑えられ、基準電圧(第2の電圧)V14を上回らない。その結果、コンパレータCMP12の出力はHレベルとなり、アンド回路AND12の出力がHレベルに保持され、パワートランジスタT11のオン状態を継続する。

【0081】その後、20msの時間が経過すると、タイマ14の動作により、トランジスタT13のゲートに供給されている駆動信号が停止されるので、点p15の電圧V15は、第2の増幅率(第1の増幅率よりも大きい値)に切り換えられる。これにより、電圧V15は上昇する。このとき、電圧V15が第2の電圧V14を超えなければ、CMP12の出力はHレベルに保持され、

パワートランジスタT11はオンを続ける。もし、電圧V15が第2の電圧V14を上回れば、コンパレータCMP12の出力はLレベルに切り換えられ、アンド回路AND12の出力がLレベルとなり、ドライバ12からの駆動信号が停止され、パワートランジスタT11はオフとなる。

【0082】パワートランジスタT11がオフとなると、前述したように、ダイオードD13により点p13の電圧V13が約0.7Vにクランプされる。また、点p12における電圧V12は接地レベルとなるが、前述した(3)式に示したように、コンパレータCMP11のマイナス側入力端子に発生する電圧は、3.7V以下にはならない。よって、パワートランジスタT11がオフとなると、コンパレータCMP11の出力はLレベルとなる。

【0083】これにより、点p15における第1の電圧V15は、接地レベル近くまで低下する。よって、第1の電圧V15は、第2の電圧V14よりも小さくなり、コンパレータCMP12の出力は再びHレベルに切り換えられる。その結果、ドライバ12が作動して、パワートランジスタT11がオンとされ、更に、タイマ14の20msタイマ部が作動する。これにより、再度20ms間だけ、トランジスタT13がオンとなる。

【0084】そして、上記の動作(20msオンとなった後オフする動作)が4回(N1回)繰り返されると、パルスカウンタ15の動作により、ラッチDF11をオフとする。従って、電源投入時には、20msが4回繰り返されるまでは、回路に突入電流が流れた場合でも、パワートランジスタT11のオン状態を維持することができる。なお、時間20ms、及び繰り返しの回数4回は、適宜変更することができるので、通常時に流れる突入電流の発生時間に応じて好適な数値に設定することが望ましい。

【0085】次に、回路にレアショート(通常電流の数倍程度の軽微な短絡事故等)が発生した場合について説明すると、レアショートが発生した場合には、上記の突入電流程度の電流が長時間に亘って流れ続ける。従って、20msが4回繰り返された場合でも、なお、過電流が流れ続ける。この場合には、上記したようにラッチDF11がオフとなるので、パワートランジスタT11は再起動しない。つまり、レアショートが発生したときには、80ms(20ms*4回)の時間が経過してもなお継続された場合に、パワートランジスタT11が遮断され、回路を保護する。

【0086】なお、タイマ14の、200msタイマ部の動作により、パルスカウンタ15が200ms間アンド回路AND12の立ち上がり(Hレベルへの切り替わり)を検出しなかった場合には、該パルスカウンタ15のカウント値をリセットする。

【0087】図5は、スイッチSW11をオンとしたと

きの、電圧V12（曲線s1）、V14（曲線s2）、V15（曲線s3）、及びパワートランジスタT11に流れる電流I（曲線s4）の変化の様子を示す特性図である。

【0088】同図に示す時刻t0にてスイッチSW11をオンとすると、パワートランジスタT11、及び負荷L1に過渡電流（突入電流）が流れる。このとき、トランジスタT13がオンとされ、電圧V15は、第1の増幅率とされているので、電圧V15（曲線s3）は、電圧V14（曲線s2）を上回らない。また、スイッチSW11を投入してから20msが経過すると、電圧V15が第2の増幅率とされるので、図5に示す時刻t1にて一旦電圧V15が電圧V14を上回るが、即時に戻される。なお、図5において、時刻t0から20ms経過後の時刻t1、及び更に20ms経過後のt2にて、一旦曲線s3（電圧V15）が曲線s2（電圧V14）を上回るが、瞬時に戻されるので、この変化は図示されていない。

【0089】その後、時刻t3にて、第2の増幅率とされた電圧V15が、電圧V14よりも下回ると、コンパレータCMP12はLレベルに切り換えられないので、そのままパワートランジスタT11のオン状態が継続される。即ち、電源投入時に発生する突入電流により、パワートランジスタT11が遮断されることはなく、通常動作を継続することができる。

【0090】次に、回路にデッドショートが発生した場合について説明する。電源VBとグラウンドが直接短絡した場合のように、極めて大きい過電流が発生した場合には、回路に流れる電流値が急激に変化するので、配線インダクタンスLの影響を受ける。即ち、前述したように、判定基準電圧の圧縮効果が生じ、第2の電圧V14の値が低下する。

【0091】また、過電流の発生により、点p15における電圧V15が上昇するので、コンパレータCMP12の出力がLレベルとなり、パワートランジスタT11をオフとする。これと同時に、コンパレータCMP11の出力が反転してLレベルとなり、その後、再度パワートランジスタT11がオンとなるので、トランジスタT13がオンとなり、電圧V15は低い値（第1の増幅率で増幅された電圧）となる。

【0092】しかし、前述の圧縮効果により、電圧V14が低下しており、また、回路電流が過大であるので、電圧V15の方が電圧V14よりも大きくなる。つまり、トランジスタT13をオンとして電圧増幅率を低下させたにも関わらず、電圧V15は電圧V14よりも小さくならない。よって、パルスカウンタ15は、瞬時に（20ms待つことなく）4回のカウント値を計測して、ラッチDF11をオフとし、パワートランジスタT11をオフとする。こうして、デッドショート発生時には、パワートランジスタT11を瞬時的にオフとし、回

路を保護することができるのである。

【0093】このようにして、本実施形態に係る過電流検出装置11では、レアショート発生時には、暫く過電流が継続された後に回路を遮断し、デッドショート発生時には、回路電流Iの増加、及び回路電流Iの増加速度の増大に起因して生じる基準電圧の圧縮効果を利用して、回路を瞬時に遮断している。従って、回路を確実に保護することができる。

【0094】また、基準電圧が圧縮されるので、パワートランジスタT11のオン抵抗Ronにバラツキがある場合でも、これに影響されることなく、確実且つ即時に回路を遮断することができる。

【0095】更に、電源投入時には、80ms（20ms×4回（ $\tau_1 \times N_1$ 回））だけ、第1の電圧V15の増幅率が低い値に設定されるので、通常の突入電流が発生した場合においても、該突入電流によりパワートランジスタT11がオフするというトラブルの発生を回避することができる。

【0096】次に、本発明の第2の実施形態について説明する。図4は、第2の実施形態に係る過電流検出器21及びその周辺機器の構成を示す回路図である。そして、本実施形態では、図1に示した第1の実施形態の回路と比較し、インバータ回路NOT11、アンド回路AND13、及びオア回路11が追加して配設されている。その他の構成は、図1に示した回路と同様である。

【0097】本実施形態では、コンパレータCMP12の出力がLレベルであり、且つタイマ14の20msタイマ部が動作しているときには、ラッチDF11をオフとし、強制的にパワートランジスタT11をオフするように動作する。即ち、コンパレータCMP12の出力がLレベルで、且つ、20msタイマ部が作動しているということは、回路にデッドショート時の電流が流れたということであるから、パルスカウンタ15により、4回カウントせずに、即時にパワートランジスタT11をオフとして回路を保護する。これにより、第1の実施形態と比較し、デッドショート発生時には、より早く回路を遮断し、回路を保護することができる。

【0098】図6は、図4に示す過電流検出・保護装置21を用いた場合で、21Wのランプバルブを2個並列点灯しているとき、時刻t10にてデッドショート（負荷と電源が直接短絡するような大規模な短絡事故）が発生した際の、電圧V12（曲線s11）、V14（曲線s12）、V15（曲線s13）、及びパワートランジスタT11に流れる電流I（曲線s14）の変化の様子を示す特性図である。なお、図5に示した特性図と比較して、横軸に示す時間の単位が[μs]である点で相違している。

【0099】時刻t10にてデッドショートが発生すると、電圧V15が急激に増大する。また、同図に示す符号「A」は、配線インダクタンスLの逆起電力により発

生する電圧分（請求項2に記載した第3の電圧）であり、該逆起電力により前述した電圧の圧縮効果が発生し、電圧V14が低下する。そして、時刻t11にて電圧V15が電圧V14を上回ると、コンパレータCMP12の出力がLレベルとなり、時刻t12でHレベルに復帰する。

【0100】その後、時刻t13で再度Lレベルとなり、ラッチDF11の出力がLレベルとなって、回路が遮断される。即ち、デッドショート発生時には、瞬時的に回路を遮断し、パワートランジスタT11を保護することができる。

【0101】

【発明の効果】以上説明したように、本発明に係る半導体素子の過電流検出・保護装置では、半導体素子に電流が流れることにより発生する電圧降下を増幅して第1の電圧を生成し、これを基準電圧となる第2の電圧と比較し、第1の電圧が第2の電圧を上回ったときに、過電流と判定して半導体素子を遮断するので、半導体素子を損傷することなく、確実に回路を遮断することができる。

【0102】また、半導体素子に流れる電流が、急激に変化した場合には、半導体素子と電源とを接続する配線が有するインダクタンスにより、逆起電力が発生し、該逆起電力により第2の電圧が減少し、更に、半導体素子に流れる電流が増大すると、これに起因してやはり第2の電圧が減少する。よって、デッドショートのような過度の短絡事故が発生した場合には、第1の電圧が上昇し、且つ第2の電圧が減少する方向に変化するので、第1の電圧が即時に第2の電圧を上回るように動作させることができ、デッドショート時において迅速に半導体素子を遮断することができる。

【0103】更に、第1の電圧は、第1の増幅率、及び第2の増幅率（第1の増幅率よりも大きい値）の2段階の増幅率で設定可能であり、第2の増幅率では過電流と判定され、且つ、第1の増幅率では過電流と判定されない場合のような軽度な過電流（レアショート）発生時に＊

＊は、時間 τ 1をN1回繰り返してもなお過電流が治まらない場合に、半導体素子を遮断させる。従って、レアショート時においても確実に、回路を遮断することができる。

【0104】また、電源投入時に突入電流が発生した場合には、時間 τ 1をN1回繰り返すまでの時間内に、該突入電流が治まるので、突入電流により半導体素子が遮断されるというトラブルを回避することができる。

【図面の簡単な説明】

10 【図1】本発明の第1の実施形態に係る半導体素子の過電流検出・保護回路の構成を示す回路図である。

【図2】本発明の動作原理に係り、過電流発生時にパワートランジスタに流れる電流を遮断する回路図を示す。

【図3】本発明の動作原理に係り、電流遮断後、再度パワートランジスタを駆動させる回路図を示す。

【図4】本発明の第2の実施形態に係る半導体素子の過電流検出・保護回路の構成を示す回路図である。

【図5】電源投入時の突入電流発生時における、各部位の電圧、及び電流の変化を示す特性図である。

20 【図6】デッドショート発生時における、各部位の電圧、及び電流の変化を示す特性図である。

【符号の説明】

11、21 過電流検出・保護装置

12 ドライバ

13 チャージポンプ

14 タイマ

15 パルスカウンタ

16 チャタリング防止回路

T11 パワートランジスタ（半導体素子）

30 T12 トランジスタ（第1のスイッチング手段）

T13 トランジスタ（第2のスイッチング手段）

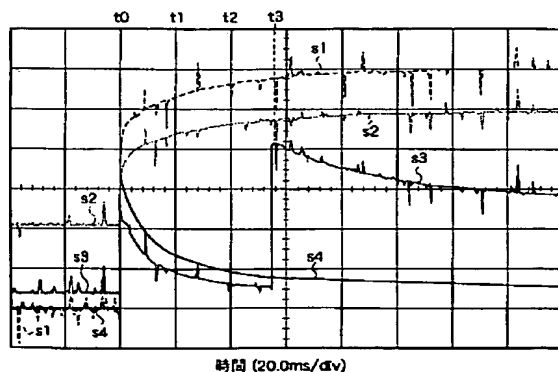
CMP11、CMP12 コンパレータ

L1 負荷

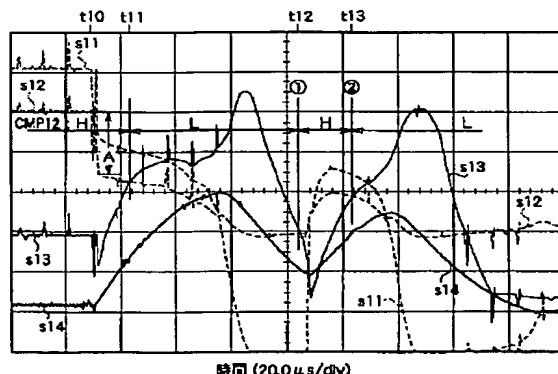
L 配線インダクタンス

Rw 配線抵抗

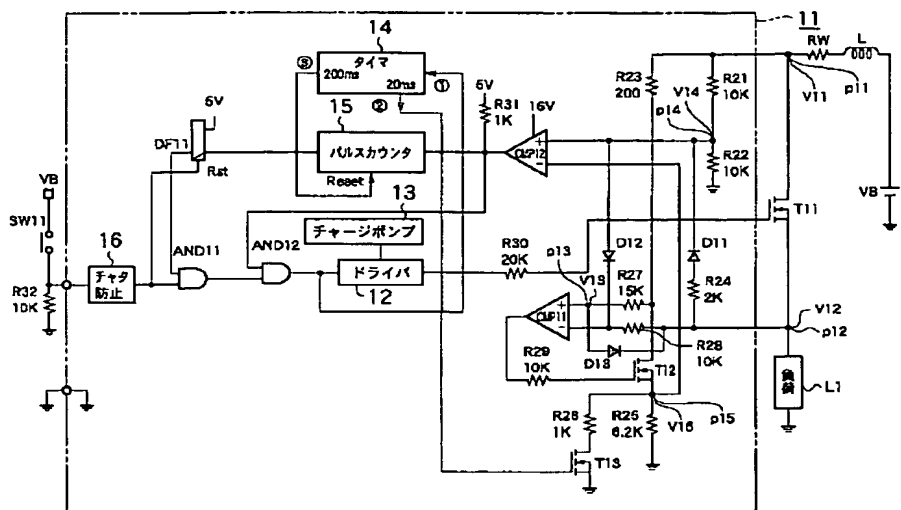
【図5】



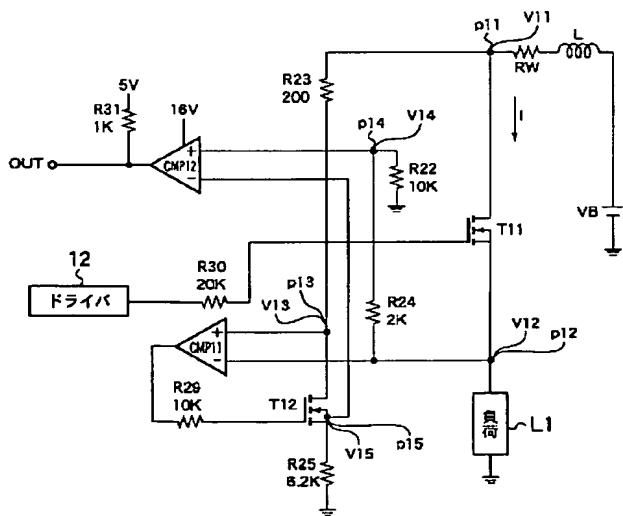
【図6】



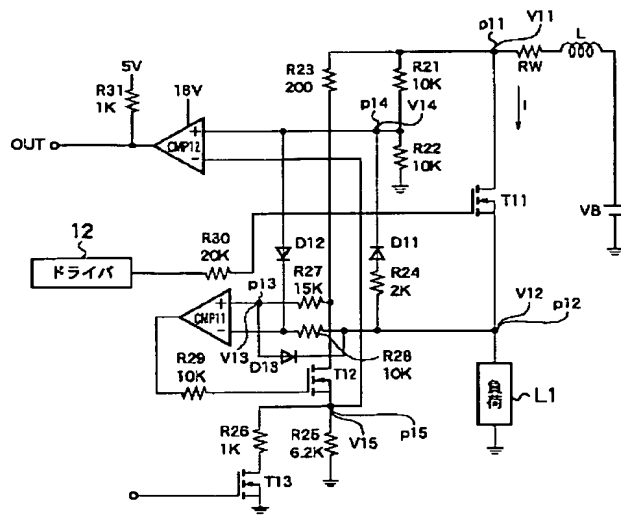
【圖 1】



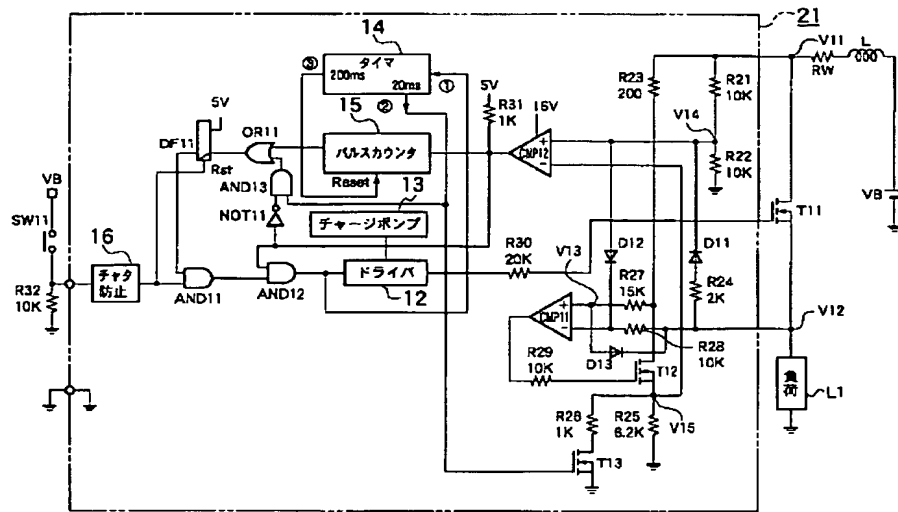
【図2】



【図 3】



【図4】



フロントページの続き

(51)Int.Cl.7

識別記号

F I

テーマコード (参考)

H02H 7/20

H O 2 H 7/20

F

H O 3 K 17/687

H 0 3 K 17/687

G

Fターム(参考)	2G035	AA13	AA16	AA17	AB02	AC01
		AC02	AC16	AD03	AD04	AD10
		AD23	AD27	AD29	AD44	AD49
	5G004	AA04	AB02	BA03	BA04	DA04
		DC04	DC07	EA01		
	5G053	AA01	BA01	BA04	CA01	DA01
		EA03	EC03	FA05		
	5J055	AX34	AX61	AX64	BX17	CX23
		CX28	DX09	DX22	DX53	EX02
		EX36	EY01	EY12	EY21	EZ00
		EZ09	EZ10	EZ25	EZ31	EZ34
		EZ55	FX05	FX08	FX18	FX38
		GX01	GX06			

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353794

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H03K 17/08
G01R 19/165
H02H 3/08
H02H 3/087
H02H 7/00
H02H 7/20
H03K 17/687

(21)Application number : 2001-157750

(71)Applicant : YAZAKI CORP

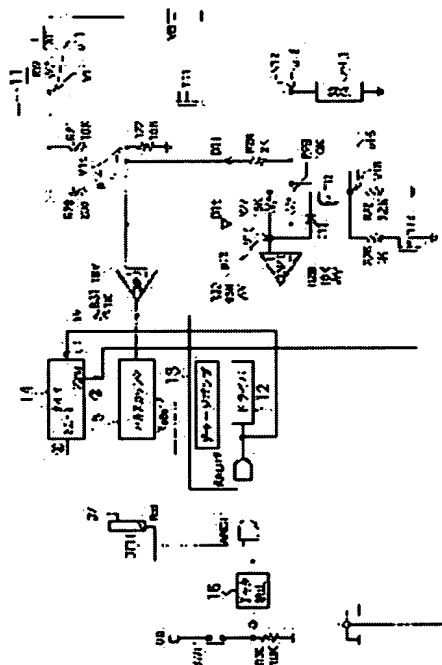
(22)Date of filing : 25.05.2001

(72)Inventor : OSHIMA SHUNZO

(54) OVERCURRENT DETECTION/PROTECTION DEVICE FOR SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an overcurrent detector that can be downsized at a low cost.
SOLUTION: A power transistor(TR) T11 amplifies a voltage drop produced by flowing of a current through the TR T11 to generate a 1st voltage V15, and dividing a voltage at a power supply connection terminal of the power TR T11 generates a 2nd voltage V14. When it is found that the 1st voltage exceeds the 2nd voltage, it is found that an overcurrent takes place. In this case, the 2nd voltage V14 is decreasingly changed on the occurrence of an overcurrent due to an inductance of wires and an on-resistance Ron of the power TR T11, and the circuit is immediately interrupted on the occurrence of a dead short circuit, and the power TR T11 and the wire interconnecting the power TR T11 and a power supply can be protected.



LEGAL STATUS

[Date of request for examination]

24.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office